

LSR

Yann Herklotz Grave

April 2022

Contents

1	Introduction	3
2	Background	5
3	Formal Verification of High-Level Synthesis	6
4	WIP Static Scheduling	7
5	FW Loop Pipelining	8
6	FW Dynamic Scheduling	9
7	Schedule	10
8	Conclusion	11

1 Introduction

Lorem ipsum dolor sit amet, consectetur adipiscing elit. Suspendisse ante turpis, feugiat porta pellentesque sit amet, feugiat varius ligula. Nulla facilisi. Nam malesuada massa quis ex dignissim viverra. Duis feugiat elit ut consequat varius. Quisque dapibus elit lorem, sed aliquam risus tincidunt ac. Duis turpis est, blandit vel posuere at, facilisis at neque. Proin in lacus lobortis orci sagittis malesuada. In hac habitasse platea dictumst. Nunc dolor nisl, consequat nec elementum at, ultricies ac nulla. This is normal text.

Fusce accumsan mattis sapien, at ornare felis fringilla eu. Vivamus fermentum consectetur urna id egestas. Vivamus nec mi quis leo mollis rhoncus vitae non est. Integer auctor, nisi vitae egestas rhoncus, odio arcu finibus velit, nec bibendum urna dolor non neque. Curabitur sit amet arcu at velit varius varius. Lorem ipsum dolor sit amet, consectetur adipiscing elit. Fusce pretium metus ac augue ultricies, ut euismod elit fringilla. Nunc imperdiet ligula turpis. Cras dignissim mi ac quam dapibus iaculis. Maecenas facilisis felis a leo mattis rutrum. Morbi vestibulum, velit quis convallis condimentum, odio dui tincidunt nibh, ac volutpat diam magna consectetur ligula.

Aenean rhoncus tortor nec velit viverra rhoncus. Praesent in convallis massa. Proin tincidunt scelerisque risus. Pellentesque a faucibus nisl, vel imperdiet felis. Donec vel sapien placerat augue fringilla dapibus nec a dui. Fusce feugiat pellentesque nisi, vitae feugiat lacus convallis vel. Ut ullamcorper, lacus at scelerisque imperdiet, quam nulla varius velit, sed auctor lacus ante et purus. Vestibulum ante ipsum primis in faucibus orci luctus et ultrices posuere cubilia curae;

Ut luctus volutpat orci sit amet tristique. Duis tincidunt neque efficitur libero vehicula dictum. Aliquam vitae rhoncus mauris, nec convallis nisi. Nulla facilisi. Fusce in nulla egestas, ultricies mauris vel, condimentum felis. Nunc vel mattis massa, at ornare enim. Mauris ornare elit non metus eleifend, quis viverra dui ultrices. Morbi ut purus ac velit ullamcorper interdum ac sit amet mauris. Aenean scelerisque, mauris quis vehicula faucibus, enim nisi malesuada quam, in facilisis sapien nisi quis purus. Ut iaculis lorem tellus, sed fermentum est elementum id. Cras sit amet eleifend quam, nec maximus mi. Donec bibendum nibh in dolor fermentum convallis. Pellentesque mollis, odio nec laoreet viverra, elit metus malesuada tellus, quis rutrum nunc est sit amet urna. Nullam ultrices augue eu lacinia molestie. Donec maximus quam ipsum, id tristique tortor molestie fermentum.

Mauris egestas nisi in est commodo, ut pharetra arcu gravida. Nullam non lectus eu tellus scelerisque volutpat eget eu velit. In nec consequat magna. Mauris ultricies nunc et suscipit hendrerit. Curabitur non dapibus risus, non posuere augue. Cras faucibus elementum neque at porta. Cras nibh nunc, facilisis a posuere nec, tempus at dolor. Sed sagittis ullamcorper arcu, sit amet eleifend turpis sagittis a. Nam varius

bibendum magna, quis porttitor turpis dignissim id. Mauris ac hendrerit ex. Integer tellus mauris, varius vel ullamcorper eu, rhoncus eu nisl. Vestibulum rutrum nunc pharetra sollicitudin hendrerit. Vestibulum sit amet est leo. Suspendisse at posuere diam.

2 Background

Was there ever in anyone's life span a point free in time, devoid of memory, a night when choice was any more than the sum of all the choices gone before?

— JOAN DIDION, *Run, River*

aroistenaoirstenoiaresntoien

3 Formal Verification of High-Level Synthesis

4 WIP Static Scheduling

5 FW Loop Pipelining

6 FW Dynamic Scheduling

7 Schedule

8 Conclusion